

04792346
DATA TRANSFER SYSTEM

PUBL. NO.: 07-084946 A]
PUBLISHED: March 31, 1995 (19950331)
INVENTOR(s): DOI TOSHIO
HAYASHI TAKEHISA
NAKANO TETSUO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-232827 [JP 93232827]

FILED: September 20, 1993 (19930920)

INTL CLASS: [6] G06F-013/42

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R129 (ELECTRONIC MATERIALS -- Super High Density Integrated
Circuits, LSI & GS)

ABSTRACT

PURPOSE: To always conduct latching at an optimum position by detecting the deviation of clock timing from the optimum position at both the operation start time and the normal operation time of a device, and using and feeding it back to a clock generation part.

CONSTITUTION: A timing error detection part 106 is enabled to detect the deviation of the clock timing from the optimum position at both the operation start time and the normal operation time of the device, and the deviation is used and fed back to the clock generation part 107 to optimize the clock timing. Namely, variance in delay time due to manufacture variance among LSIs, substrates, etc., is absorbed by setting the timing of a clock to the optimum position at the start of the operation of the device. Variation in delay time due to variation in the temperature and voltage in the normal operation is absorbed by detecting the deviation of the clock timing from the optimum time in the normal operation and correcting the timing deviation.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-84946

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.⁶

G 0 6 F 13/42

識別記号

3 4 0 A 8944-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平5-232827

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 土井 俊雄

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 林 剛久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中野 哲夫

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

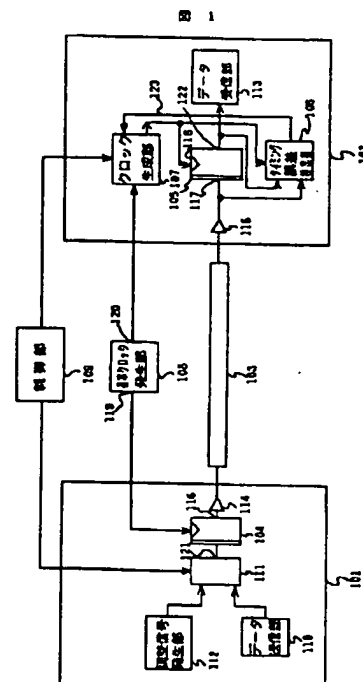
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 データ転送方式

(57) 【要約】

【目的】 LSI間でデータ転送をする際にラッチのクロックタイミングの最適位置からのずれを検出し、タイミングを修正することにより常に最適位置でラッチすることを可能とする。

【構成】 装置の動作開始時及び通常動作時の両方でクロックタイミングの最適位置からのずれをタイミング誤差検出部106で検出可能とし、これを用いてクロック生成部107にフィードバックをかけることにより、クロックタイミングの最適化を行う。



【特許請求の範囲】

【請求項1】基準クロック信号を供給する基準クロック発生手段と、上記基準クロック信号に基づき、送信するデータをラッチする第1のラッチを含む第1の装置と、上記基準クロック信号に基づき、上記第1の装置から送信されたデータを装置内部で発生したサンプリングクロックにてラッチする第2のラッチを含む第2の装置とを備え、上記第1の装置と上記第2の装置との間のデータ転送を、上記第1及び第2のラッチ間の伝播遅延時間より短く設定されたサイクルタイムで行うシステムであって、

初期設定動作時に、上記第1の装置から特定のデータを送信し、送信された特定のデータを用いて上記第2の装置の上記第2のラッチのサンプリングクロック発生に関わる設定を行う手段を上記第2の装置に設けたことを特徴とするデータ転送方式。

【請求項2】請求項1記載において、初期設定動作時に、上記第1の装置から送信する特定のデータの周期を上記サイクルタイムより長く設定したことを特徴とするデータ転送方式。

【請求項3】請求項1記載において、初期設定動作時に、上記基準クロック発生手段から上記第1の装置に供給する基準クロック信号と、上記基準クロック発生手段から上記第2の装置に供給する基準クロック信号とが異なることを特徴とするデータ転送方式。

【請求項4】基準クロック信号を供給する基準クロック発生手段と、上記基準クロック信号に基づき、送信するデータをラッチする第1のラッチを含む第1の装置と、上記基準クロック信号に基づき、上記第1の装置から送信されたデータを装置内部で発生したサンプリングクロックにてラッチする第2のラッチを含む第2の装置とを備え、上記第1の装置と上記第2の装置との間のデータ転送を、上記第1及び第2のラッチ間の伝播遅延時間より短く設定されたサイクルタイムで行うシステムであって、

通常動作時に、上記第1の装置から送信され上記第2の装置の第2のラッチが受信したデータに基づいて、上記第2のラッチのサンプリングクロックの最適点からの誤差を検出し、検出した誤差を用いて上記第2のラッチのサンプリングクロック発生に関わる設定を変更する手段を上記第2の装置に設けたことを特徴とするデータ転送方式。

【請求項5】基準クロック信号を供給する基準クロック発生手段と、上記基準クロック信号に基づき、送信するデータをラッチする第1のラッチを含む第1の装置と、送信されたデータを転送するデータ転送路と、上記基準クロック信号に基づき、受信したデータを装置内部で発生したサンプリングクロックにてラッチする第2のラッチを含む第2の装置とを備え、上記第1の装置と上記第2の装置との間のデータ転送を、上記第1及び第2のラ

ッチ間の伝播遅延時間より短く設定されたサイクルタイムで行うシステムであって、

上記第1の装置及び上記第2の装置に制御信号を供給する制御手段を備え、

上記第1の装置は、上記制御信号による初期設定動作時に、特定のデータを供給するための調整信号発生手段を備え、

上記第2の装置は、初期設定動作時には上記第2のラッチが受信した上記特定データに基づいて、通常動作時には上記第2のラッチが受信した通常動作のデータに基づいて上記第2のラッチのサンプリングクロックの最適点からの誤差を検出するタイミング誤差調整手段と、上記制御信号による初期設定動作時または通常設定時に、検出した誤差を用いて上記第2のラッチのサンプリングクロックを調整するクロック生成手段を備えたことを特徴とするデータ転送方式。

【請求項6】請求項5記載において、初期設定動作時に、上記第1の装置から送信する特定のデータの周期を上記サイクルタイムより長く設定したことを特徴とするデータ転送方式。

【請求項7】請求項5記載において、初期設定動作時に、上記基準クロック発生手段から上記第1の装置に供給する基準クロック信号と、上記基準クロック発生手段から上記第2の装置に供給する基準クロック信号とが異なることを特徴とするデータ転送方式。

【請求項8】請求項5記載において、上記第2の装置におけるサンプリングクロックの調整のためのフィードバックループの時定数が、初期設定動作時と通常動作時とで異なることを特徴とするデータ転送方式。

【請求項9】メモリチップと、上記メモリチップにアドレスを出力するためのアドレス出力ラッチと上記メモリチップから読みだしたデータを取り込むためのデータ入力ラッチを含むプロセッサチップとを備え、上記プロセッサチップのアドレス出力のサイクルタイムは上記アドレス出力ラッチがアドレスを出力してから上記データ入力ラッチがデータを取り込むまでの時間より短く設定されたシステムであって、初期設定動作時に上記メモリチップに特定のデータを書き込み、引き続いてこれを読み出すことにより上記データ入力ラッチのサンプリングクロック発生に関わる上記プロセッサチップ内の設定を行う手段を備えたことを特徴とするデータ転送方式。

【請求項10】メモリチップと、上記メモリチップにアドレスを出力するためのアドレス出力ラッチと上記メモリチップから読みだしたデータを取り込むためのデータ入力ラッチを含むプロセッサチップとを備え、上記プロセッサチップのアドレス出力のサイクルタイムは上記アドレス出力ラッチがアドレスを出力してから上記データ入力ラッチがデータを取り込むまでの時間より短く設定されたシステムであって、通常動作時に上記データ入力ラッチが取り込んだデータに基づいて上記データ入力

ラッチのサンプリングクロックの最適点からの誤差を検出し、これを用いて上記データ入力ラッチのサンプリングクロック発生に関わる上記プロセッサチップ内の設定を変更する手段を備えたことを特徴とするデータ転送方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速LSIシステムに係り、特にメモリ制御、入出力制御等の機能を持つ周辺LSIやメモリチップ等を外付けしたコンピュータ用プロセッサLSIシステムの高速のデータ転送方式に係る。

【0002】

【従来の技術】高性能コンピュータを実現するにはプロセッサLSIの高速化とともにコンピュータを構成するLSI間のデータ転送高速化が重要である。この転送高速化の技術の一つとして、転送遅延時間より短いサイクルでデータを送るという方法が知られている。例えば特開昭62-204359「同期式データ転送方式」では上記転送方式を実現するためのクロック信号生成方法が開示されている。また特開平2-226316「半導体装置」では別のクロック信号生成方法が開示されている。なお同様の目的の他の公知例としては特開昭62-263561、特開昭63-68959、特開平2-201567、特開平3-257650、特開平4-84354等が挙げられる。

【0003】

【発明が解決しようとする課題】一般に伝播遅延時間ばらつきの要因は、(1)LSIや基板、コネクタ等の部品の性能ばらつきに起因する装置毎のばらつき、(2)装置の動作中にLSI内の温度、周囲温度や電源電圧等の動作環境が変動することに起因する遅延時間の時間的変動、の2種類に分類でき、伝播遅延時間ばらつきの量は両者の合計となる。

【0004】特開昭62-204359の例ではクロック信号のタイミングが固定されているためLSI、基板等の製造ばらつきや温度、電圧変動に伴う遅延時間の変化により動作マージンが減少し、場合によっては誤動作のおそれがある。誤動作を避けるためにはこれらの変動分を見込んだ設計を行う必要があるが、動作マージン確保のために動作周波数を下げる等の対策が必要であるが、これは性能の低下を招く場合がある。一方、特開平2-226316の例ではクロック信号のタイミングの適否を判定する手段を持ち、これにより装置毎のばらつきを吸収しているが、タイミングの判定のためには特殊なデータパターンを転送する必要があるため通常動作時には適用できず、動作中の温度、電圧変動に伴うばらつきを吸収することは困難である。

【0005】本発明の目的は、伝播遅延時間がばらつく要因である、(1)装置毎のばらつき、(2)装置の動作中の変動の要因、に対応してクロックタイミングの最適化を行なうことにある。

【0006】

【課題を解決するための手段】上記課題を解決するため本発明では装置の動作開始時及び通常動作時の両方でクロックタイミングの最適位置からのずれを検出可能とし、これを用いてクロック生成部にフィードバックをかけることにより、クロックタイミングの最適化を行う。

【0007】

【作用】LSI、基板等の製造ばらつきに起因する遅延時間ばらつきに対しては、装置の動作開始時にクロックのタイミングを最適位置とすることにより吸収する。また通常動作中の温度、電圧変動に伴う遅延時間変動に対しては、通常動作時にクロックタイミングの最適位置からのずれを検出し、タイミングを修正することにより吸収する。前者で製造ばらつきに起因するタイミングのずれを吸収することにより製品の歩留り向上および製造時の無調整化を図ることができるので、製造コストを低減できる。また後者で動作中の変動に伴うタイミングのずれを吸収できるので従来の技術に比較して動作マージンを減らした設計が可能となり、マージン確保のため動作周波数を下げる必要がなく高速化を図ることができる。

【0008】

【実施例】以下、本発明の実施例を説明する。図1は本発明をLSIチップ間のデータ転送に適用した例であり、101はデータ送信チップ、102はデータ受信チップ、103はデータ転送線路、104はデータ出力ラッチ、105はデータ受信ラッチ、106はタイミング誤差検出部、107はクロック生成部、108は基準クロック発生部、109は制御部、110はデータ送信部、111はセレクタ、112は調整信号発生部、113はデータ受信部、114は出力バッファ回路、115は入力バッファ回路、116はデータ出力ラッチ104の出力端子、117はデータ受信ラッチ105の入力端子、118はデータ受信ラッチ105のクロック入力端子、119は基準クロック発生部108のデータ送信チップ101への出力端子、120は基準クロック発生部108のデータ受信チップ102への出力端子、121はセレクタ111のデータ出力ラッチ104への出力端子、122はデータ受信ラッチ105の出力端子、123はタイミング誤差検出部106の誤差検出信号である。

【0009】図1の実施例において通常動作ではデータ送信チップ101内部のデータ送信部110からデータ受信チップ102内部のデータ受信部113へのデータ転送を行うが、その経路は次の通りである。まずセレクタ111でデータ送信部110を選択し、データは出力端子121を通してデータ出力ラッチ104に入力される。データ出力ラッチ104では出力端子119から入力されるクロック信号に従って信号をラッチし出力端子116に出力する。出力端子116の信号は出力バッファ回路114を介してデータ転送線路103に出力され、入力バッファ回路115に到達する。信号は入力バ

ッファ回路115でバッファリングされ入力端子117を通してデータ受信ラッチ105に入力される。入力端子117の信号はデータ受信ラッチ105でクロック入力端子118のクロック信号に従いサンプリングされ出力端子122を介してデータ受信部113に届く。

【0010】また図2は図1と対比されるべき従来例を示したものであり、101、102、103、104、105、108、110、113、114、115、116、117、118、119、120は図1中の同一番号の物に対応し、801は遅延回路である。図2の例では図1と同様にデータ送信チップ101内部のデータ送信部110からデータ受信チップ102内部のデータ受信部113へのデータ転送を行う。

【0011】図3は図2の動作波形の一例を示したものであり、119、116、117、118は図3中の同一番号箇所での波形を示している。またT201はクロック周期、T202は遅延回路801の伝播遅延時間、T203はラッチ105のセットアップ時間、T204*

$$T201 - (T206 - T205) = T203 + T204 \dots\dots (数1)$$

【0013】一方、データ受信ラッチ105が正常動作 20※め次式が成立する。

するためにはラッチの回路性能から決まるセットアップ 【0014】

時間TS及びホールド時間THを確保する必要がある※ 【数2】

$$T203 \geq TS \quad (TS: \text{セットアップ時間}) \dots\dots\dots (数2)$$

【0015】

★ ★【数3】

$$T204 \geq TH \quad (TH: \text{ホールド時間}) \dots\dots\dots (数3)$$

【0016】(数1)、(数2)、(数3)に加え遅延回路801の動作マージンTM(このマージンは遅延回路801の実際の遅延時間の設計値からのずれ、クロック

$$T201 - (T206 - T205) \geq TS + TH + TM \dots\dots\dots (数4)$$

(TM: 動作マージン)

【0018】ここでTS、TH、TMは回路特性等により決まる値であり、また(T206-T205)はデータ送信ラッチ104-105データ受信ラッチ間の伝播遅延時間ばらつきの値であるため削減には限界があり、(数4)が満足されていない場合はT201を増加させる必要があるが、これは装置の性能を招くこととなる。

【0019】これに対し図1に示した本発明の実施例ではデータ転送線路103の伝播遅延時間のばらつき及び変動が生じて常にもデータ受信ラッチ105のクロックタイミングが最適位置となる様に制御する。図4は図1の動作波形の一例を示したものであり、T1001はデータ受信ラッチ105のセットアップ時間、T1002はデータ受信ラッチ105のホールド時間、118(a)は117(a)の信号をラッチする際のクロック信号、118(b)は117(a)の信号をラッチする際のクロック信号、T1003は出力端子119のクロック信号とクロック信号118(a)の位相差、T1004は出力端子119のクロック信号とクロック信号118(b)の位相差である。本発明はデータ転送線路103の遅延時間がT205からT206まで変化するのに対応して、出力端

*はデータ受信ラッチ105のホールド時間である。T205はデータ送信ラッチ104-データ受信ラッチ105間の伝播遅延時間の最小値、T206はデータ送信ラッチ104-105データ受信ラッチ間の伝播遅延時間の最大値である。データ受信ラッチ105のクロック入力端子118のクロック信号は遅延回路801で出力端子120のクロック信号をT202だけ遅延させることにより生成する。上記伝播遅延時間がT205の場合、入力端子117の信号波形は図3の117(a)となる。

10 また上記伝播遅延時間がT206の場合、入力端子117の信号波形は117(b)となる。従って上記伝播遅延時間の如何に関わらずデータをデータ受信ラッチ105に取り込めるのは信号117(c)に示された期間のみとなる。ここでT201からT206について次式が成立する。

【0012】

【数1】

☆クスキュー等を含む)を考慮すると次式が成立する。

【0017】

【数4】

◆子119のクロック信号とクロック入力端子118のクロック信号の位相差をT1003からT1004まで変えて追従することによりデータ受信ラッチ105が常に最適なタイミングで入力信号のサンプリングを行うことを可能にするものである。まず、この様にサンプリングのタイミングを最適化することの効果について述べる。

【0020】図3でT201、T1001、T1002について次の式が成立する。

【0021】

【数5】

$$T201 = T1001 + T1002 \dots\dots\dots (数5)$$

【0022】また、データ受信ラッチ105が正常動作するためにはTS及びTHを確保する必要があるため次式が成立する。

【0023】

【数6】

$$T1001 \geq TS \dots\dots\dots (数6)$$

【0024】

【数7】

$$T1002 \geq TH \dots\dots\dots (数7)$$

【0025】以上に加え、動作マージンTMを考慮すると次式が成立する。

【0026】

【数8】

$$T_{201} \geq T_S + T_H + T_M \dots\dots\dots (\text{数8})$$

【0027】(数4)と(数8)を比較するとTS、TH、TMが等しい場合には後者は前者に対し(T206-T205)だけT201を削減出来、データ転送のスループット向上が可能となる。また両者でT201を等しくした場合には後者は前者に対し動作マージンTMを大きく設定出来るので、動作の安定性の向上、歩留り向上等を図ることが出来る。次に、図1に示した本発明の実施例に於てサンプリングのタイミングを伝播遅延時間のばらつきに追従させる際の動作について説明する。

【0028】先に述べたように伝播遅延時間のばらつきの要因は(1)部品の性能ばらつきに起因する装置毎のばらつき、(2)個々の装置が動作中にLSI内の温度、周囲温度や電源電圧等が変動することに起因する遅延時間の変化の2種に分類することが出来る。

【0029】まず前者の要因に対する動作の説明を図1及び同図の動作波形の例を示す図5を用いて行う。制御部109の指示によりセレクト111は調整信号発生部112を選択する。調整信号発生部112の信号は出力端子121を通りデータ出力ラッチ104に入力され出力端子116、出力バッファ回路114、データ転送線路103、入力バッファ回路115、入力端子117を通過してデータ受信ラッチ105でサンプリングされる。サンプリングされた信号は従来例と同様にデータ受信部113に届き更にタイミング誤差検出部106にも入力される。タイミング誤差検出部106でサンプリングのタイミングの最適点からの誤差を検出し、その結果は誤差検出信号123としてクロック生成部107に入力される。クロック生成部107では基準クロック発生部108からの信号を元にデータ受信ラッチ105のクロック信号を発生しているが、このタイミングを誤差検出信号123に依り修正することによりデータ受信ラッチ105のサンプリングのタイミングを最適点に設定する。ここで重要なことはタイミング誤差検出部106の入力として、実際のデータをサンプリングするデータ受信ラッチ105の出力を用いていることであり、これによりタイミングを正確に設定することが可能となる。図5では上記動作中の波形の例が示されており、T301はセットアップ時間、T302はホールド時間、T303、T304、T305は出力端子119のクロック信号とクロック入力端子118のクロック信号の位相差である。なお同図中で(a)、(b)は図4中の(a)、(b)に対応する。

【0030】この実施例では調整信号発生部112の出力信号をクロック周期T201と同じ周期で反転させ、これにより出力信号116にT201毎に反転する信号

を出力させる。この状態でデータ受信ラッチ105でラッチしながらクロック生成部107の遅延時間を変化させ、クロック毎に反転するデータがサンプリングされればタイミングが最適点に設定されたことになる。ただしここでT304がT201より長い場合出力端子119のクロック信号と入力端子117の信号の位相差としてT304ではなく誤ってT305が設定されてしまう可能性があるが、これを防止する必要がある場合は例えば図6に示す様な方法を採用すればよい。

10 【0031】図6に於てT401は112の出力信号周期、402、403は出力端子120で抑制された信号波形である。図6の実施例では基準クロック発生部108に於て402、403を抑制した信号を出力端子120に送出する一方出力端子119にはこの様な抑制を行わないことにより両者に異なるクロック信号を送出し、更に周期T401はT304より長く設定する。この状態でラッチ105でハイレベルをサンプリングするようにT304を設定することによりクロック生成部107の設定が完了する。

20 【0032】次に装置動作中の遅延時間変化に対して追従動作を行うための本発明の実施例について説明する。図7は図1中のタイミング誤差検出部106及びクロック生成部107の構成の一例を示したものであり、501、502は誤差検出用ラッチ、503、504、505は同期化回路、506、507はEOR(排他的論理和)回路、508は誤差判定回路、509は102内のクロック源、510は可変遅延回路、511、512は遅延回路、513、514はそれぞれEOR回路506及び507の出力端子、515、516はそれぞれ誤差検出用ラッチ501及び502のクロック入力端子である。

30 【0033】図7の実施例に於て遅延回路511、512の伝播遅延時間は固定されているが、可変遅延回路510の遅延時間は誤差検出信号123に従って可変である。クロック生成部107の構成からデータ受信ラッチ105、誤差検出用ラッチ501、502の各ラッチのクロックは常にクロック入力端子515、518、516の順に立ち上がる。

40 【0034】図8はこれらのクロック信号と入力端子117の信号と入力端子の時間的な関係とEOR回路506、507の出力との関係を示したものである。まず可変遅延回路510の遅延時間の設定が適正である場合は誤差検出用ラッチ501、データ受信ラッチ105、誤差検出用ラッチ502のいずれの出力もハイレベル(H)となるのでEOR回路506と507の出力はいずれもローレベル(L)となる。次に可変遅延回路510の遅延時間が不足である場合は誤差検出用ラッチ501の出力がL、データ受信ラッチ105と誤差検出用ラッチ502の出力がHとなりEOR回路506の出力はH、EOR回路507の出力はLとなるので、この結果

から可変遅延回路510の遅延時間を増加させることにより遅延時間を適正な値に修正することが可能である。逆に可変遅延回路510の遅延時間が過大である場合はEOR回路506の出力はL、EOR回路507の出力はHとなるので、この結果から可変遅延回路510の遅延時間を減少させることにより遅延時間を適正な値に修正することが可能である。なお、図8の例でクロック入力端子515と516の位相差は入力端子117のパルス幅(T301とT302の合計)より小さく設定されており、またクロック入力端子515と118の位相差データ受信はラッチ105のセットアップ時間TSより大きく設定されており、更にクロック入力端子118と516の位相差はデータ受信ラッチ105のホールド時間THより大きく設定されているものとする。なお、この実施例で重要なことは実際にデータをサンプリングするデータ受信ラッチ105の出力が誤差検出に使われていることであり、これにより追従動作を正確に行うことが可能となる。また図7中の同期化回路503、504、505はデータ受信ラッチ105、誤差検出用ラッチ501、502の出力をクロック源509のクロックに従って同期化を行うことによりラッチのメタステーブル動作に起因する誤動作を防止し、誤差判定回路508の動作を安定させるために挿入されているものであり、本発明を実施するに当たって必須のものではなく、例えば誤差判定回路508の時定数を適当に設定する等の方法を採用することによりこれらの同期化回路を省くことが可能である。

【0035】先に述べたように遅延時間のばらつきの要因には、(1)装置毎のばらつき、(2)動作中の動作環境変動による遅延時間変化、の2種がある。本発明では前者に対しては装置の動作開始時に特定のデータを転送し、それを用いてクロックのタイミングを修正する。また後者に対しては通常動作時にクロックタイミングの最適位置からのずれを検出し、修正する。この様に本発明では2種の動作モードがあり、それぞれ次の様な特質がある。

【0036】(1)前者ではばらつきの範囲が大きく、また装置の動作開始時に行うのでタイミング修正を短時間で完了する必要がある。このため誤差検出結果に基づくフィードバックループの時定数を短く設定することが望ましい。

【0037】(2)後者では通常動作時に行うため誤動作を避ける必要があるが、一方ばらつきの要因が温度、電圧等の変化であるので変動は時間的にゆるやかである。このため上記時定数を長く設定することが望ましい。

【0038】この2種の条件を満足するため誤差判定回路508の時定数を可変とした実施例を図9に示す。図9で901はアップダウンカウンタ、902は比較器、903は制御部、904はセレクタであり、アップダウンカウンタ901にはEOR回路506、507の出力

端子513、514が接続されタイミング誤差検出結果に応じてアップカウント又はダウンカウントされる。アップダウンカウンタ901の出力とセレクタ904の出力を比較器902で比較し、前者の絶対値が後者を越えた場合は、その旨を誤差検出信号123に出力し、これを用いてタイミングの修正を行う構成となっており、セレクタ904の出力の値を変化させることにより誤差判定回路の時定数を変更出来る。図9を誤差判定回路に用いた本発明の実施例では、まず動作開始時に制御部903の制御によりアップダウンカウンタ901をリセットし、セレクタ904で「起動時の閾値」を選択する。比較器902ではアップダウンカウンタ901の出力を「起動時の閾値」と比較し、その結果を誤差検出信号123に出力する。一方通常動作時にはセレクタ904で「通常動作時の閾値」を選択し、比較器902に入力する。これにより起動時、通常時それぞれに対し最適な時定数を独立に設定可能となる。

【0039】以上の実施例ではLSI間のデータ転送に本発明を適用したが、図10はメモリLSIを外付けしたプロセッサLSIに本発明を適用した例であり、601はプロセッサLSI、603はメモリLSI、604はアドレス出力ラッチ、605はデータ入力ラッチ、606はタイミング誤差検出部、607はクロック生成部、608は基準クロック発生部、609は制御部、610はアドレス生成部、613はデータ受信部、614はアドレス出力バッファ回路、615はデータ入力バッファ回路である。なお、この実施例ではメモリの書込動作に関する部分は省略されている。同実施例でメモリを読み出すには、まずアドレス生成部610で読み出すアドレスを生成し、それをアドレス出力ラッチ604でラッチしアドレス出力バッファ回路614を介してメモリLSI603に送る。メモリLSI603ではアドレスに応じてデータを読みだしデータ入力バッファ回路615を介してデータ入力ラッチ605で取り込まれ、データ受信部613に送られる。アドレス出力ラッチ604からデータ入力ラッチ605までの経路が図1のデータ転送線路103に相当し、メモリLSI603のアクセス時間がデータ転送線路103の伝播遅延時間に相当する。また606、607、608、609がそれぞれ図1の106、107、108、109に相当する。

【0040】図10の実施例に於ても本発明の動作は装置の動作開始時と通常動作時との2種のモードがある。この内後者は図1、図7の実施例と同様であるが後者に関しては図1のように調整信号発生部112を用いてデータを発生するのは不可能であるため、構成が異なっている。図10の実施例で装置の動作開始時にタイミング修正を行う方法の例を示したのが図11である。

【0041】図11の実施例ではまずアドレス生成部610で0番地のアドレスを生成し0番地にデータ'0'を書き込む。次にアドレス生成部610で1番地のアド

11

レスを生成しデータ'1'を書き込む。その後、0番地と1番地を交互にアドレス生成部610で生成してメモリLSI603を読み出すことにより1サイクルごとに反転するデータがデータ入力ラッチ605に入力されるので、図5の実施例に相当する動作を実現出来、これを用いてタイミングの修正を行うことが出来る。なお一般に計算機に於ては動作開始時にメモリチェックを行うため、図11に示した方法を用いても新たに必要となるソフトウェア、ハードウェアは少なく、実施に当たって障害とはならない。

【0042】以上、述べた様に本発明の実施例では、(1)装置毎のばらつき、(2)装置の動作中の変動、の両方の要因による遅延時間のばらつきに対応出来る。また、クロックタイミングの最適位置からのずれをデータのサンプリングに用いるラッチそのものの出力から検出出来るので、高精度な対応が可能となっている。

【0043】なお、上記実施例の説明でラッチはエッジトリガ型のものを用いたが、レベルセンス型のラッチでデータをサンプリングする構成のLSIに対してもその効果を失わずに本発明を適用することが出来るのは明らかである。

【0044】

【発明の効果】本発明によれば、(1)装置毎のばらつき、(2)装置の動作中の変動、の両方の要因による遅延時間のばらつきに対応してラッチのクロックを修正し、タイミングを最適位置に設定出来るという効果がある。また、クロックタイミングの最適位置からのずれをデータのサンプリングに用いるラッチそのものの出力から検出出来るので、高精度な修正が可能という効果がある。更にこれらの効果から製品の歩留り向上、製造時の無調整化、マージン削減による高速化という効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図。

【図2】従来例を示す図。

【図3】従来例の波形を示す図。

【図4】本発明の実施例の波形を示す図。

【図5】本発明の実施例の波形示す図。

【図6】本発明の実施例を示す図。

【図7】図1中の一部分の構成例を示す図。

12

【図8】クロック信号と入力端子の信号との時間的な関係とEOR回路、出力との関係を示す図。

【図9】図1中の一部分の構成例を示す図。

【図10】本発明の別の実施例を示す図。

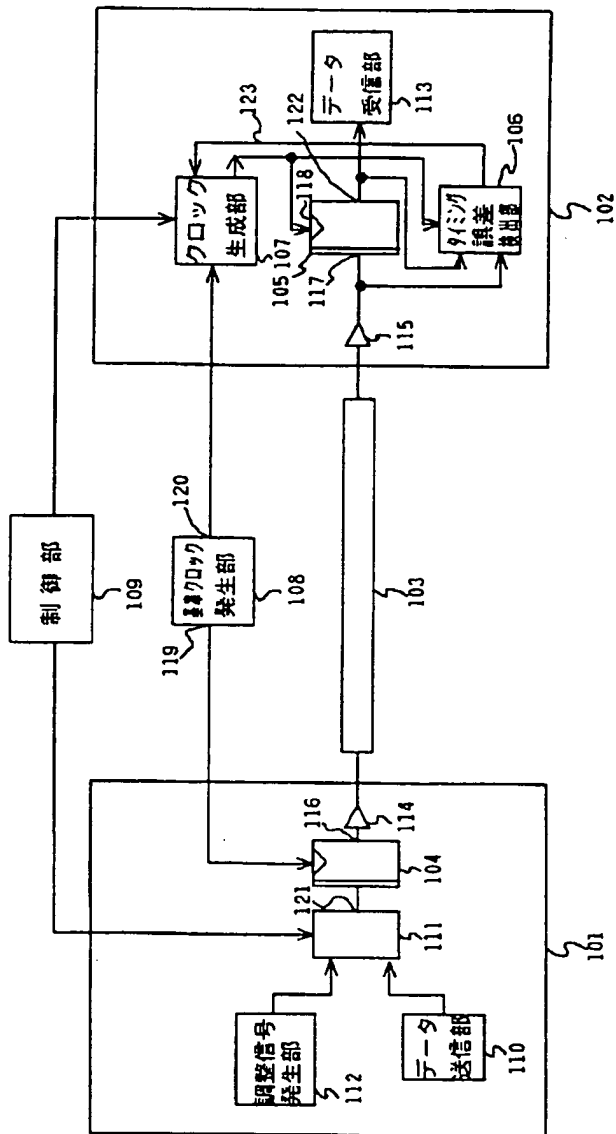
【図11】本発明を実施するためのフローチャートの例を示す図。

【符号の説明】

101…データ送信チップ、102…データ受信チップ、103…データ転送線路、104…データ出力ラッチ、105…データ受信ラッチ、106…タイミング誤差検出部、107…クロック生成部、108…基準クロック発生部、109…制御部、110…データ送信部、111…セクタ、112…調整信号発生部、113…データ受信部、114…出力バッファ回路、115…入力バッファ回路、116…出力端子、117…入力端子、118…クロック入力端子、119…出力端子、120…出力端子、121…出力端子、122…出力端子、123…誤差検出信号、T201…クロック周期、T202…伝播遅延時間、T203…セットアップ時間、T204…ホールド時間、T301…セットアップ時間、T302…ホールド時間、T303、T304、T305…位相差、T401…出力信号周期、402、403…抑制された信号波形、501、502…誤差検出用ラッチ、503、504、505…同期化回路、506、507…排他的論理和回路、508…誤差判定回路、509…クロック源、510…可変遅延回路、511、512…遅延回路、513、514…出力端子、515、516…クロック入力端子、601…プロセッサLSI、603…メモリLSI、604…アドレス出力ラッチ、605…データ入力ラッチ、606…タイミング誤差検出部、607…クロック精製部、608…基準クロック発生部、609…制御部、610…アドレス生成部、613…データ受信部、614…アドレス出力バッファ回路、615…データ入力バッファ回路、801…遅延回路、901…アップダウンカウンタ、902…比較器、903…制御部、904…セクタ、T1001…セットアップ時間、T1002…ホールド時間、T1003、T1004…位相差。

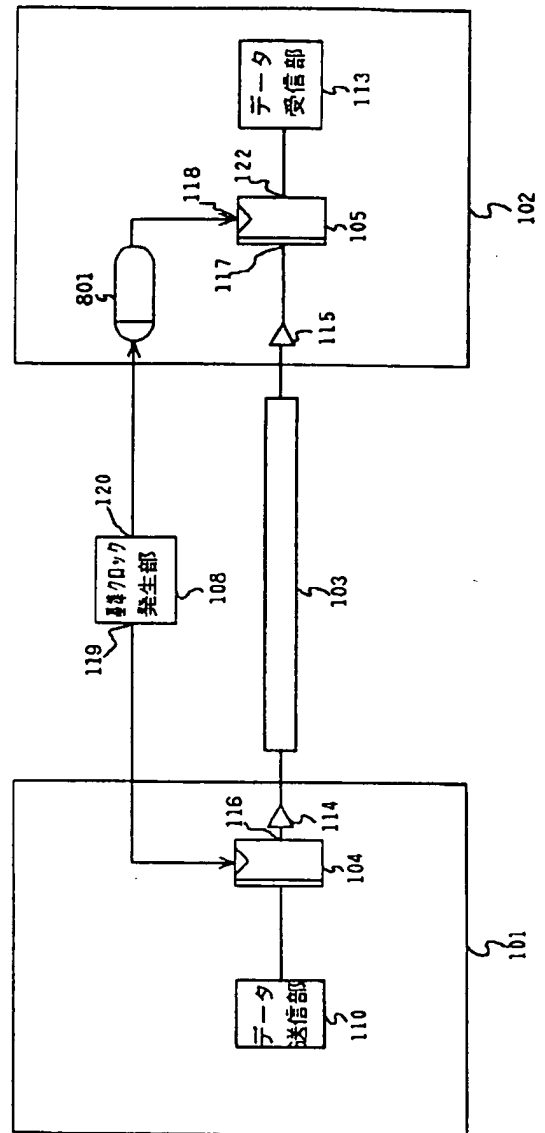
【図1】

図 1



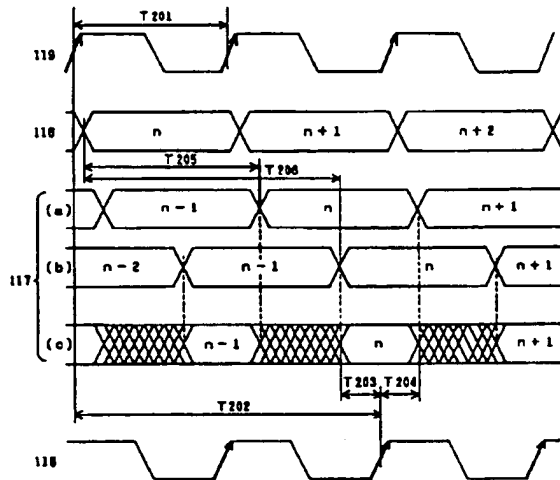
【図2】

図 2



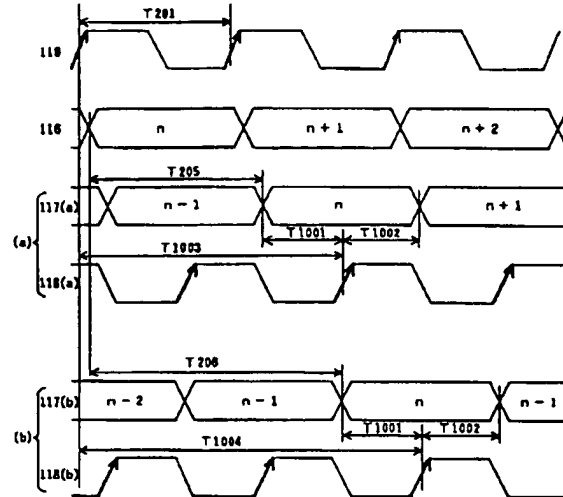
【図3】

図 3



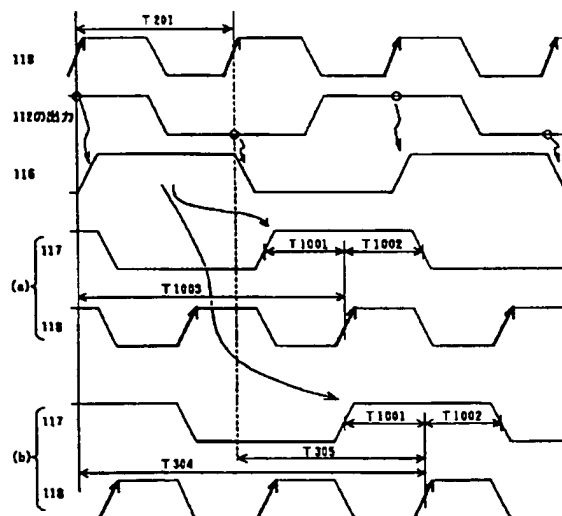
【図4】

図 4



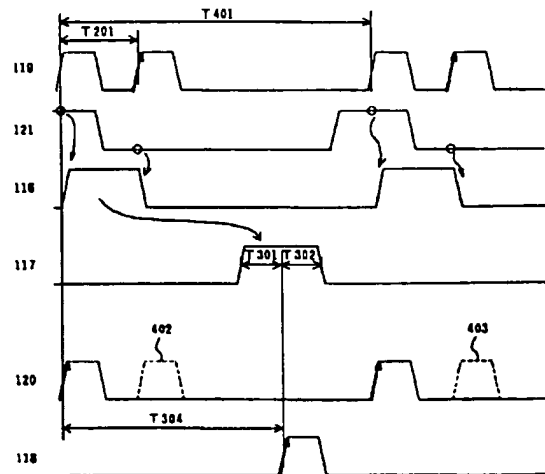
【図5】

図 5



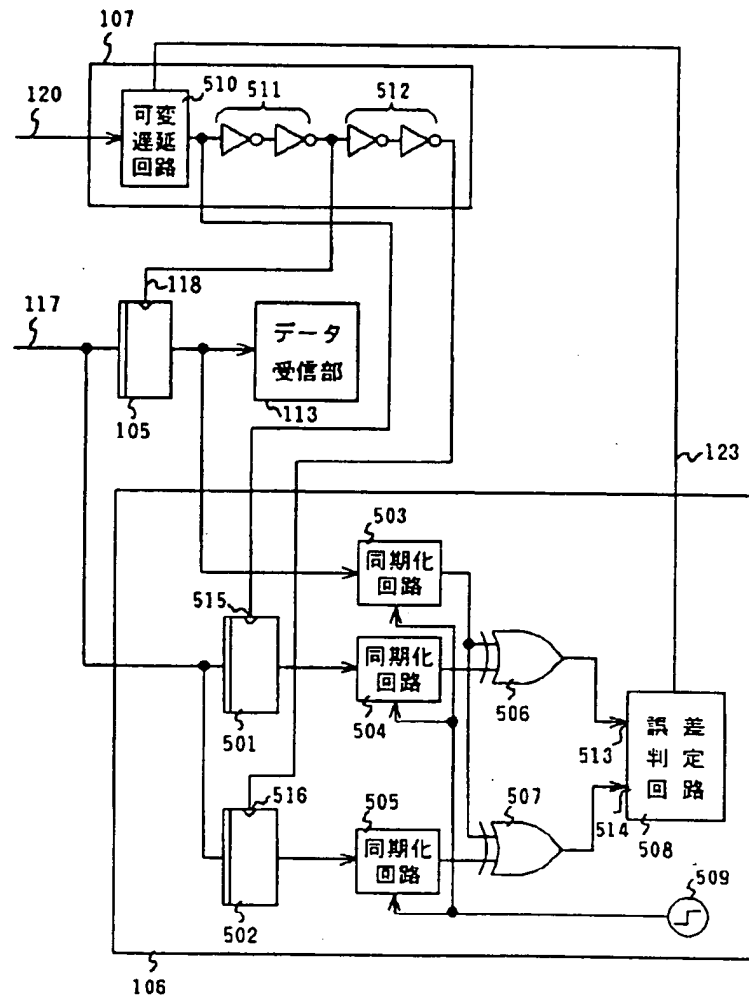
【図6】

図 6



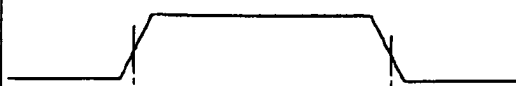
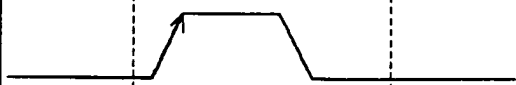






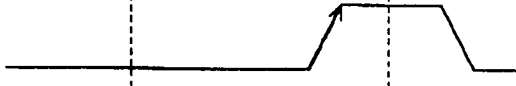

【図7】

図 7



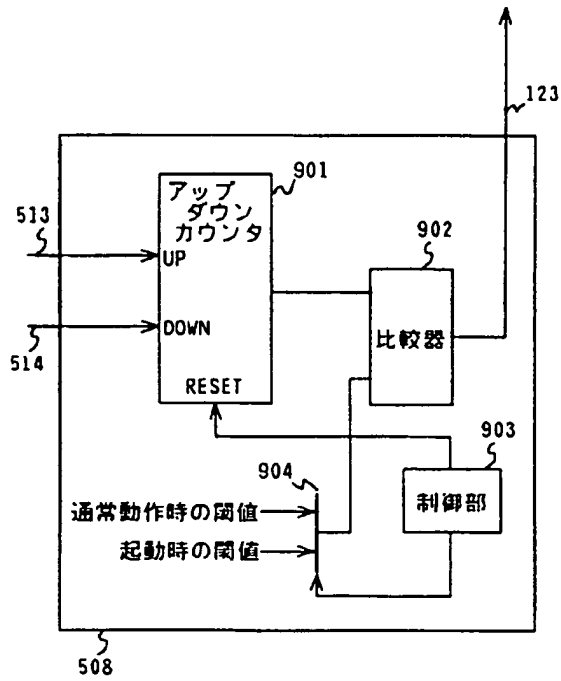
【図8】

図 8

項 目		波 形	ラッチ 出力	506 の 出力	507 の 出力
117の波形			—	—	—
510の 遅延時間が 適正な場合	ラッチ501の クロック 及び出力		H	L	L
	ラッチ105の クロック 及び出力		H		
	ラッチ502の クロック 及び出力		H		
510の 遅延時間が 不足の場合	ラッチ501の クロック 及び出力		L	H	L
	ラッチ105の クロック 及び出力		H		
	ラッチ502の クロック 及び出力		H		
510の 遅延時間が 過大の場合	ラッチ501の クロック 及び出力		H	L	H
	ラッチ105の クロック 及び出力		H		
	ラッチ502の クロック 及び出力		L		

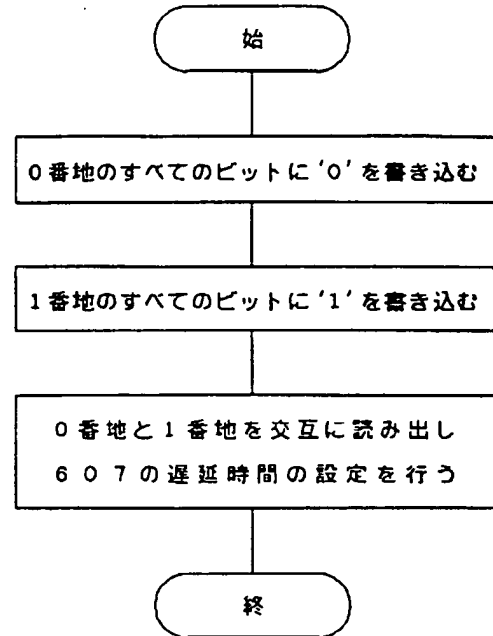
【図9】

図 9



【図11】

図 11



【図10】

図 10

